MODULOS DE COMUNICACION I2C  
  
  
Las comunicaciones I2C tienen la intención de realizarse con dispositivos en la

misma tarjeta o board, a velocidades de 100 kHz. Estos dispositivos son de una

amplia variedad: memorias, RTC, drivers para display, sensores de temperatura y

DAC, entre otros. Comenzamos por entender qué es el estándar I2C, y luego vemos

el módulo MSSP en modo I2C.  
  
ESTÁNDAR I2C

El IIC (Inter-Integrated Circuit: circuitos integrados) es un bus de comunicación

serial diseñado por Phillips, en 1992; su velocidad es de 100 Kbps a 400 Kbps,

aunque las velocidades han ido creciendo a 1 Mb y 3.4 Mbps.

HARDWARE

El IIC utiliza dos hilos para la comunicación: el SDA datos, el SCL reloj, y un tercero

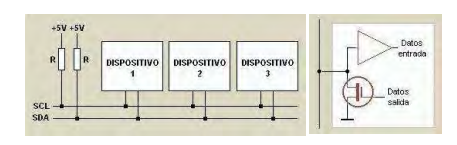
como referencia o GND; los dos primeros son configurados como drenaje abierto;

por esto requieren resistencias de pull-up. Los dispositivos conectados a este bus

tienen una dirección única por cada dispositivo. El dispositivo maestro inicia la

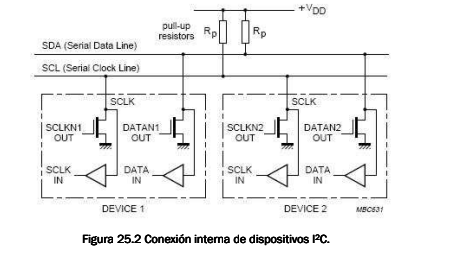
transferencia de datos(Figura 1), generando el reloj para todos los dispositivos

esclavos; puede haber varios dispositivos maestros dispositivos maestros dispositivos maestros con la misma capacidad de

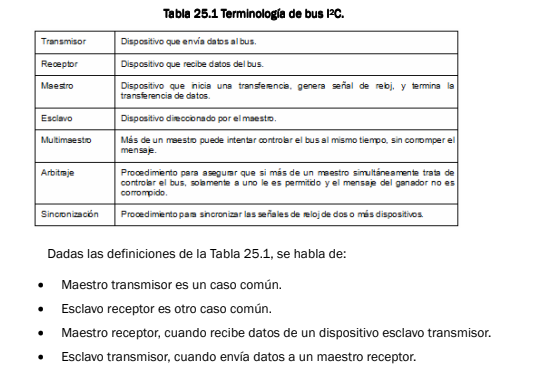
manejo del bus; por esto este bus es multimaestro

Cada dispositivo en sus dos líneas de conexión tiene configurada la circuitería

de entrada y de salida (Figura 2).



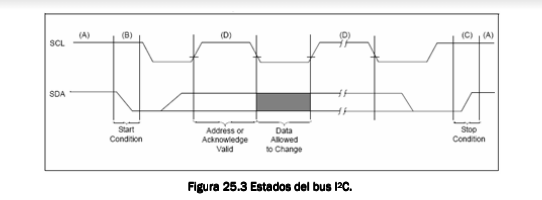
TERMINOLOGIA



PROTOCOLO

Los estados de las líneas de comunicación son como aparecen en la Figura 4, en

los cuales diferenciamos varios estados.



Las reglas del protocolo reglas del protocolo reglas del protocolo son:

• La transferencia de datos solamente se puede iniciar cuando el bus no está

ocupado.

• Condición de data valid (dato válido); durante una transferencia de datos la

línea datos SDA debe permanecer estable, mientras el reloj SCL está en alto

(Figura 4, sección D). Los cambios en la línea de datos SDA, cuando el

reloj SCL está en alto, se pueden interpretar como una condición de start o

stop.

• Condición de bus not busy (bus no ocupado); ambas líneas (data SDA y reloj SCL) están en alto (Figura 4, sección A).

• Condición de start (arranque ); transición de alto a bajo de la línea de datos

SDA, mientras la línea de reloj SCL está en alto (Figura 4, sección B).

Todos los comandos deber ser precedidos de una condición de start.

• Condición de stop (parada); transición de bajo a alto de la línea de datos

SDA, mientras la línea de reloj SCL está en alto (Figura 4, sección C).

Todos los comandos deber ser terminados con una condición de stop.

• Condición de acknowledge (reconocimiento); cada receptor direccionado,luego de recibir un byte, debe generar un acknowledge. El maestro debe generar un reloj extra que está asociado con un bit de acknowledge.

El dispositivo dispositivo que reconoce (el acknowledge) debe poner la líneas SDA en bajo

durante el reloj de acknowledge; la línea de datos SDA debe ser estable en bajo

durante el pulso de reloj SCL. Por supuesto, se deben tomar en cuenta los tiempos

de cada dispositivo en particular. Durante lecturas, un maestro maestro maestro-receptor debe

señalizar un final de datos al Esclavo-Transmisor, generando un bit de no-

Aknowledge sobre el último byte que ha sido sincronizado fuera del Esclavo. En este

caso, el Esclavo-Transmisor deja la línea de datos SDA en alto para habilitar al

maestro maestro para que genere la condición de maestro stop.

TRANSFERENCIA DE DATOS

Cada comando debe comenzar por una condición de start, y debe terminar con una

condición de stop. Un dispositivo maestro comienza la transferencia y responde un

dispositivo Esclavo. Cada dato debe ser de 8 bits, y por esto debe ser acompañado

de 8 pulsos de reloj; no hay restricción en la cantidad de datos; cada dato es

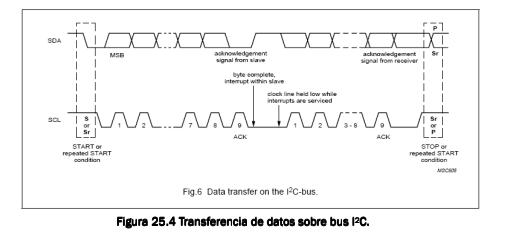
transferido comenzando en el MSB bit 7 al bit 0 o LSB; cada dato debe ir

acompañado de un acknowledge que es el bit 9 con el correspondiente pulso 9 de

reloj. Si el dispositivo esclavo no puede recibir o transmitir otro byte completo hasta realizar una función interna, puede poner el pin SCL en “0” para forzar al dispositivo maestro a que espere (Figura 5).   
La transferencia de datos puede continuar cuando el dispositivo Esclavo esté listo para otro byte y libere la línea SCL.

El reconocimiento o acknowledge es generado por el dispositivo receptor

maestro o Esclavo.



MODULO MSSP EN MODO I2C

El módulo MSSP en modo I2C es totalmente implementado en las funciones de

Maestro y Esclavo, y provee interrupciones sobre bits de start y stop en hardware

para determinar el bus libre (función multimaestro); también soporta los estándares estándares

de direccionamiento de 7 y 10 bits.

Los dos pines usados para transferencia de datos son:

• Reloj Serial (SCL) – RC3/SCK/SCL

• Dato Serial (SDA ) – RC4/SDI/SDA

El usuario debe configurar estos pines como entradas o salidas a través de los bits

TRISC<4:3>, o en el bit SSPEN en el registro SSPCON1. Para la operación de I2C, el

módulo MSSP tiene 6 registros:

1. Control Register (SSPCON1)

2. Control Register 2 (SSPCON2)

3. Status Register (SSPSTAT)

4. Serial Receive/Transmit Buffer Register (SSPBUF)

5. Shift Register (SSPSR) – Not directly accessible

6. Address Register (SSPADD)

Los registros SSPCON1, SSPCON2 y SSPSTAT son registros de control y estado

en el modo de operación del I2C, los registros SSPCON1 y SSPCON2 son de lectura y

escritura, y el registro SSPSTAT en los bits <5:0> es de sólo lectura y los bits <7:6>

son de lectura y escritura. El SSPSR, que es el registro de movimiento (shift register)

usado para mover los datos entrantes o salientes, es el registro de buffer para los

datos escritos en y leídos desde. El registro SSPADD mantiene la dirección del

dispositivo esclavo cuando el SSP es configurado en modo esclavo I2C. Cuando el

SSP es configurado en modo maestro, los 7 bits más bajos actúan como el

recargador de valor del Baud Rate Generator o generador de tasa de baudios.

En operaciones de recepción, los registros SSPSR y SSPBUF juntos crean un

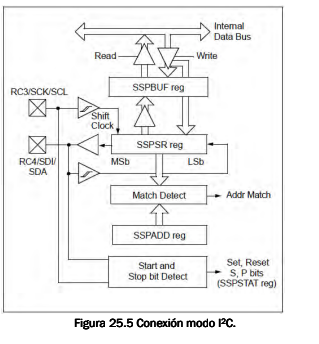
doble buffer de recepción. Cuando el registro SSPSR recibe un byte completo, éste

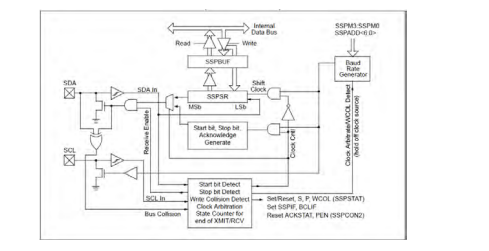
es transferido al SSPBUF y el bit de interrupción SSPIF es puesto a uno. Durante

transmisión, el SSPBUF no es buffer doble. Una escritura al SSPBUF puede escribir a

ambos registros SSPBUF y SSPSR.

DIAGRAMA CIRCUITAL





FUNCIONAMIENTO

Las funciones del módulo MSSP se habilitan poniendo a uno el bit de habilitación

del MSSP, o el bit SSPEN en el registro SSPCON1<5>. El registro SSPCON1 permite

el control de la operación del I2C. Los 4 bits de selección de modo SSPCON<3:0>

permiten que sea seleccionado uno de los modos siguientes:

• I2C modo maestro, reloj = OSC/(4 \* (SSPADD+1))

• I2C modo esclavo (7 bits de dirección)

• I2C modo esclavo (10 bits de dirección)

• I2C modo esclavo (7 bits de dirección), con interrupciones habilitadas bit de start

y stop

• I2C modo esclavo (10 bits de dirección), con interrupciones habilitadas bit de

start y stop

• I2C modo maestro controlado por firmware, esclavo es habilitado

La selección de cualquier modo I2C, con el bit SSPEN puesto a uno, fuerza los C

pines SCL y SDA a ser abiertos u open drain; para configurarlos como entradas se

deben poner a uno los bits TRISC necesarios. Para asegurar la operación apropiada

del módulo deben ponerse resistencias externas de pull-up, sobre los pines SDA y

SCL.